

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08032072 A**

(43) Date of publication of application: **02.02.96**

(51) Int. Cl

H01L 29/786

(21) Application number: **06161425**

(22) Date of filing: **13.07.94**

(71) Applicant: **FUJI XEROX CO LTD**

(72) Inventor: **ASAI ICHIRO
YAMADA SOU**

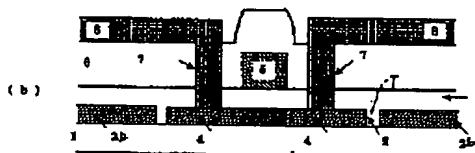
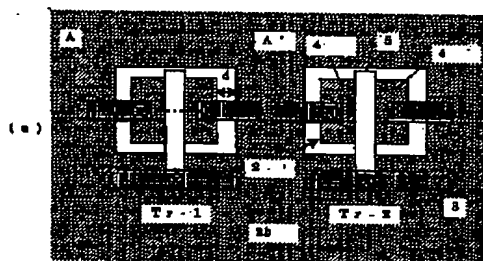
(54) **SEMICONDUCTOR DEVICE**

(57) Abstract:

PURPOSE: To provide a thin film transistor having high reliability and excellent heat radiating capacity without increasing the cost thereof.

CONSTITUTION: Within a thin film transistor formed of a gate insulating film 3, a gate electrode 5 and source/drain 4 and a part of an operating layer of a semiconductor thin film 2 formed on the surface of an insulating substrate 1, the first feature is that the operating layer is connected to a semiconductor thin film through the intermediary of an element separating region T. This element separating region T is composed of an insulating layer formed by implanting impurity ions in the trench part or the semiconductor thin film.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-32072

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl.⁶

H 0 1 L 29/786

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/78

3 1 1 X

9056-4M

3 1 1 R

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号

特願平6-161425

(22) 出願日

平成6年(1994)7月13日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72) 発明者 浅井 市郎

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内

(72) 発明者 山田 想

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内

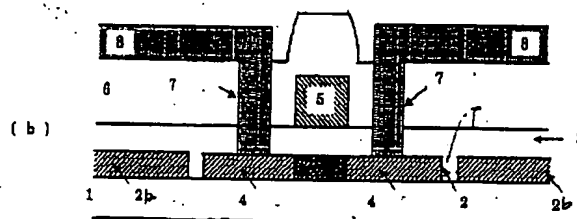
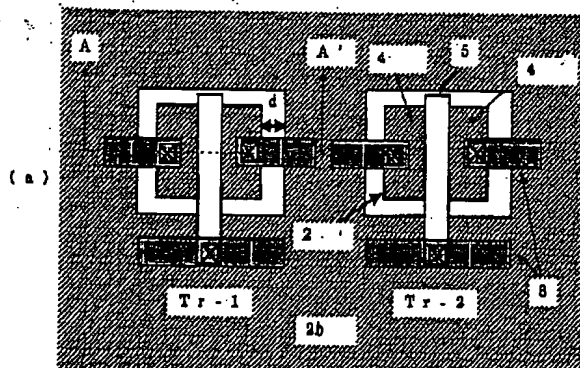
(74) 代理人 弁理士 木村 高久

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 コストの高騰を招くことなく、放熱性を良好にし、信頼性の高い薄膜トランジスタを提供する。

【構成】 本発明の第1の特徴は、絶縁性基板1表面に形成された半導体薄膜2の一部を動作層とし、ゲート絶縁膜3と、ゲート電極5と、ソース・ドレイン電極4とを形成してなる薄膜トランジスタにおいて、前記動作層が、素子分離領域Tを介して、前記半導体薄膜に接続されていることにある。この素子分離領域は溝部または、前記半導体薄膜に不純物イオンを注入して形成された絶縁性層から構成される。



【特許請求の範囲】

【請求項 1】 絶縁性基板表面に形成された半導体薄膜の一部を動作層とし、ゲート絶縁膜と、ゲート電極と、ソース・ドレイン電極とを形成してなる薄膜トランジスタにおいて、

前記動作層が、素子分離領域を介して、前記半導体薄膜に接続されていることを特徴とする半導体装置。

【請求項 2】 絶縁性基板表面に形成された半導体薄膜の一部を動作層とした半導体装置において、前記動作層、素子分離領域を介して、前記半導体薄膜に接続されていることを特徴とする半導体装置。

【請求項 3】 絶縁性基板表面に形成された半導体薄膜の一部を動作層とし、ゲート絶縁膜と、ゲート電極と、ソース・ドレイン電極とを形成してなる薄膜トランジスタを複数個配列した半導体装置において、前記各薄膜トランジスタの動作層同志を、電気的に絶縁した状態で熱的に接続する前記半導体薄膜からなる接続領域を具備したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に係り、特に、絶縁性基板上に複数の薄膜トランジスタによる周辺回路を内蔵した液晶ディスプレイ、イメージスキャナなどの画像入出力装置に適用される大面積型の薄膜トランジスタ装置などの半導体装置に関する。

【0002】

【従来の技術】近年、ガラス基板等の絶縁性基板上に多結晶シリコン薄膜トランジスタ (TFT) を形成してなるアクティブマトリックス液晶表示装置や密着型イメージセンサの研究が盛んである。これは、従来のアモルファスシリコン薄膜トランジスタに比べて 2 けた以上も動作速度が早くまた CMOS 回路を容易に構成することができることから、薄膜トランジスタのサイズを小形化することができるとともに、差動増幅回路やゲートドライバなどの従来、素子外部に配置されていた IC を素子内に集積化し低コスト化することができることなどによる。シフトレジスタなどのデジタル回路あるいは差動増幅回路などのアナログ回路を形成する場合の基本となる多結晶シリコン薄膜トランジスタの構造を図 6(a) 乃至 (c) に示す。図 6(b) は、図 6(a) の A-A 断面図、図 6(c) は図 6(a) の B-B 断面図である。この多結晶シリコン TFT は次のようにして形成されている。

【0003】まずガラス基板 10 上に減圧 CVD (LP CVD) 法や、プラズマ CVD (p-CVD) 法などにより、アモルファスシリコン膜を堆積したのち、炉アニールあるいはレーザーアニール法により結晶化し、動作層となる多結晶シリコン膜とする。

【0004】続いて、多結晶シリコン膜を島状にパターニングして動作層 20 とし、ECR-CVD 法により酸化シリコン膜などのゲート絶縁膜 30 を堆積する。そし

てゲート電極 50 としてタンタル薄膜を堆積し、パターニングして、このゲート電極 50 をマスクとしてイオン注入法によりソース・ドレイン領域 40 に磷 (n チャンネル) やボロン (p チャンネル) などの不純物を導入する。

【0005】そしてさらに、酸化シリコン膜などの層間絶縁膜 60 を堆積し、電極とりだしのための開口 70 をあけ、アルミニウム膜を堆積し、パターニングし配線層 80 を形成し、多結晶シリコン薄膜トランジスタを形成している。

10 【0006】ところで、このようにして形成された多結晶シリコン薄膜トランジスタにおいては、文献 (第 40 回応用物理学関係連合講演会、講演予稿集、p 635、29a-SZT-11, 1993) に示されるように、自己発熱により特性が劣化しやすいという問題があった。これは熱伝導率が $150 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$ もあるシリコン基板と異なり、熱伝導率が $1.4 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$ 程度の絶縁性のガラス基板上に薄膜トランジスタを形成しているためであり、消費電力に対応して薄膜トランジスタの動作層の温度が上昇しやすく、この温度上昇によっ

20 てしきい値電圧などの特性が劣化してしまうものである。

【0007】また、差動増幅回路などにおいては 2 つの薄膜トランジスタの特性が極めて等しくなるように形成する必要がある。例えば、図 6(a) に示すように作成した場合、作成直後では 2 つの薄膜トランジスタの特性が極めて近くとも、素子動作によって蓄熱していき基板上に温度勾配が生じていくような場合には、1 つの薄膜トランジスタである $\text{Tr}1$ と他の薄膜トランジスタである $\text{Tr}2$ とで動作層が異なる温度をもつことになり、特性

30 がずれ、差動増幅回路として正確に動作しなくなるという問題があった。このような特性劣化や特性変動あるいは特性不均一化は、熱伝導の悪い絶縁性基板上に薄膜トランジスタを形成しているためである。この現象は、同じガラス基板上に形成した場合、a-Si (アモルファスシリコン) 薄膜トランジスタに比べて、大電流を流すことができる多結晶シリコン薄膜トランジスタの場合に、特に顕著である。

【0008】そこで従来、放熱性を良好にするための構造として、先の文献などに示されているように、ガラス基板と多結晶シリコン動作層との間に熱伝導率の高いダイヤモンドなどのバッファ層を配置したり、多結晶シリコン薄膜トランジスタの保護層となるパッシベーション膜 (PV 膜) に熱伝導率の高いものを用い、薄膜トランジスタで発生した熱を散逸するようにした構造が提案されている。

40 【0009】しかしバッファ層を配置するためには、熱伝導率の高い膜を基板上に堆積する工程を付加する必要があるコストの高騰を招くという問題や、実際に、平坦性に優れかつ不純物を含まない高熱伝導率のパッシベーション膜を作成するのは困難であるという問題があっ

た。このように従来においては、多結晶シリコン薄膜トランジスタの放熱性を改善することが困難であるため、信頼性と均一性に問題があった。

【0010】

【発明が解決しようとする課題】このように、絶縁性基板上に形成した半導体薄膜を動作層とする薄膜トランジスタにおいては、動作層で生じた熱が良好に放熱しえないため、特性の劣化や、特性のばらつきを生じるという問題があった。

【0011】本発明は、前記実情に鑑みてなされたもので、コストの高騰を招くことなく、放熱性を良好にし、信頼性の高い薄膜トランジスタを提供することを目的とする

【0012】。

【課題を解決するための手段】本発明の第1の特徴は、絶縁性基板表面に形成された半導体薄膜の一部を動作層とし、ゲート絶縁膜と、ゲート電極と、ソース・ドレイン電極とを形成してなる薄膜トランジスタにおいて、前記動作層が、素子分離領域を介して、前記半導体薄膜に接続されていることにある。この素子分離領域は溝部または、前記半導体薄膜に不純物イオンを注入して形成された絶縁性層から構成される。

【0013】本発明の第2の特徴は、絶縁性基板表面に形成された半導体薄膜の一部を動作層としてなる半導体素子において、前記動作層が、素子分離領域を介して、前記半導体薄膜に接続されていることにある。この素子分離領域は溝部または、前記半導体薄膜に不純物イオンを注入して形成された絶縁性層から構成される。

【0014】なお、素子分離領域としては、リーク電流を防止するという目的から、幅 $0.1\mu\text{m}$ 以上は必要であるが、できるだけ狭い方が熱的接触性に優れるという面では、 $5\mu\text{m}$ 以下とするのが望ましい。

【0015】本発明の第3の特徴は、絶縁性基板表面に形成された半導体薄膜の一部を動作層とし、ゲート絶縁膜と、ゲート電極と、ソース・ドレイン電極とを形成してなる薄膜トランジスタを複数個配列した半導体装置において、前記各薄膜トランジスタの動作層同志を、電気的に絶縁した状態で熱的に接続する前記半導体薄膜からなる接続領域を具備したことにある。

【0016】すなわち、少なくとも表面が絶縁層で構成された絶縁性基板上に半導体薄膜を動作層とする薄膜トランジスタを形成するに際し、動作層となる半導体薄膜を、動作層のまわりのみ除去するかまたは動作層の周りのみ不純物イオンの注入により絶縁化し、周囲の半導体薄膜を残留せしめるようにしている。

【0017】あるいは、複数個の薄膜トランジスタを配列してなる半導体装置において、隣接素子の動作層となる半導体薄膜を熱的に接続するように、前記半導体薄膜で構成された接続領域を配設する。

【0018】

【作用】本発明の第1および第2によれば、動作層が同一工程で形成された周囲の半導体薄膜に熱的に接触しているため、放熱性が高く、均一で信頼性の高い薄膜トランジスタおよび半導体装置を得ることができる。

【0019】本発明の第3によれば、隣接する薄膜トランジスタが半導体薄膜で熱的に接続されているため、動作層の温度が均一となり、温度による特性のばらつきを抑制することができる。

【0020】また島状にパターンニングされた動作層の周りに半導体薄膜が残されているため、段差が少なく、上層に形成される配線層等のパターン精度が向上するとともに段切れなどの不良の発生が抑制され、半導体装置としての信頼性の向上をはかることができる。

【0021】

【実施例】以下、本発明について、図面を参照しつつ詳細に説明する。

【0022】図1は、本発明実施例の薄膜トランジスタ装置を示す平面図(図1(a))およびそのA-A断面図(図1(b))である。

【0023】この薄膜トランジスタ装置は、ガラス基板1の表面に形成された多結晶シリコン薄膜2を動作層とする、第1の薄膜トランジスタ T_{r1} と第2の薄膜トランジスタ T_{r2} とから構成され、各トランジスタの動作層の周囲には幅 $3\mu\text{m}$ の溝 T が形成され、その周囲は同一工程で形成された多結晶シリコン薄膜2bで覆われていることを特徴とする。

【0024】すなわち、各薄膜トランジスタは、パターンニングされた多結晶シリコン薄膜2上にゲート絶縁膜3を介して形成されたゲート電極5と、さらにこのゲート電極5をマスクとした不純物拡散によって形成されたソース・ドレイン領域4と、これらソース・ドレイン領域4に開口部7を介してコンタクトするように形成されたアルミニウム配線層8とを具備してなるものである。

【0025】次にこの薄膜トランジスタ装置の製造工程について説明する。

【0026】まず、図2(a)に示すようにガラス基板1表面に、基板温度を 450°C としてLPCVD法により膜厚 100nm のアモルファスシリコン膜を堆積した後、波長 248nm /パルス幅 25ns のエキシマレーザを用いてエネルギー強度 $450\text{mJ}/\text{cm}^2$ でレーザアニールを行い結晶化して多結晶シリコン薄膜2を得る。この工程ではレーザ照射により瞬時に 1000°C 以上に昇温され溶融するが、その溶融時間は約 100ns と極めて短いため、ガラス基板に熱ダメージを与えることはない。続いてこの多結晶シリコン膜2をパターンニングし、動作層となる領域のまわりに幅 $d=3\mu\text{m}$ の溝 T を形成して島状に動作層を形成するとともに周りの領域にそのまま多結晶シリコン膜2bを残す。その後ECR-CVD法により室温で 100nm 厚さの酸化シリコン膜からなるゲート絶縁膜3を堆積する(図2(b))。さらに図2(c)

に示すように、この上層にパッタリング法により基板温度150℃で膜厚400nmのタンタル薄膜を形成し、これをフォトリソグラフィによりパターニングしてゲート電極5を形成する。そしてこのゲート電極5をマスクとしてイオン注入を行い、ソース・ドレイン領域4とそれ以外の領域にも不純物を注入した。このイオン注入によってn⁺型領域にする場合、注入条件は100keVで水素希釈の5%PH₃を $1 \times 10^{16} \text{cm}^{-3}$ 、p⁺型領域にする場合は40keVで水素希釈の5%B₂H₆を $1 \times 10^{16} \text{cm}^{-3}$ とした。そして導入後、不純物の活性化のためのアニールを窒素雰囲気中で400℃1時間行った。

【0027】さらにプラズマCVD法により250℃で膜厚1μmの酸化シリコン膜を堆積し、層間絶縁膜6を得、これにフォトリソグラフィにより電極取りだしのためのレジストパターンを形成しこれをマスクとして弗酸を用いたウェットエッチングを行い開口7を形成する。そしてスパッタリング法により基板温度150℃で膜厚1μmのアルミニウム層を堆積しパターニングして図2(d)に示すように配線層8を形成する。

【0028】このようにして形成された多結晶シリコン薄膜トランジスタを測定評価したところ、その特性は、消費電力の増加に対しても隣接薄膜トランジスタ素子間で特性にばらつきを生じることなく、また特性劣化を生じることなく、均一で信頼性の高い薄膜トランジスタ装置とすることができた。

【0029】このような結果は図6に示した従来例の薄膜トランジスタ装置の構造と比較すると次のように説明できる。

【0030】従来の構造では動作層で発生した熱は、下層の極めて熱伝導率の悪いガラス基板に流れ込むしかないので、動作層に蓄積されやすかったのに対し、本発明の構造では、動作層の周りに熱伝導率の良好な多結晶シリコン薄膜が配置されているため、動作層で発生した熱がこの周辺の多結晶シリコン薄膜を通じて散逸することができる。したがって、自己発熱による特性劣化がなくなるとともに、基板内に温度勾配も発生しにくくなり薄膜トランジスタ間の特性も均一に維持することができる。

【0031】なお動作層周辺の多結晶シリコン薄膜切除部である溝Tの幅dは小さければ小さいほど熱の散逸効果が疎外されないため望ましいが、素子間のリーク電流を小さい値に維持する必要から最低0.1μm以上は必要であり、大面積ガラス基板における実際の加工精度でいうと実施例で示した3μm程度が望ましい。

【0032】また本発明はアクティブマトリックス液晶表示装置や密着型イメージセンサの画素部のスイッチング薄膜トランジスタに適用することは、開口率の減少や透過光量の減少等の不都合をもたらすためできない。しかし画素部以外のスイッチング薄膜トランジスタに関しては、その消費電力が小さく、また差動増幅回路ほど

の均一性が必要でないため問題にならず、むしろ画素部以外の周辺回路において本発明の効果は顕著になるであろう。

【0033】次に本発明の第2の実施例について説明する。

【0034】この例では図3に示すように、前記第1の実施例の薄膜トランジスタ装置と異なるのは、動作層と周辺の多結晶シリコン薄膜との間の絶縁化領域であり、前記第1の実施例ではフォトリソグラフィにより除去し、溝Tを形成していたのに対し、幅3μmの領域にイオン注入により酸素イオンを注入して酸化し絶縁性層からなる素子分離領域100を形成した点である。他の部分については、前記第1の実施例とまったく同様に形成されている。図3(a)は本発明は実施例の薄膜トランジスタ装置の平面図、図3(b)は同A-A断面図、図3(c)は同B-B断面図である。

【0035】すなわち実施例1と同様、この薄膜トランジスタ装置は、ガラス基板1の表面に形成された多結晶シリコン薄膜2を動作層とする、第1の薄膜トランジスタTr1と第2の薄膜トランジスタTr2とから構成され、各トランジスタの動作層の周囲には幅3μmの素子分離領域100が形成され、その周囲は同一工程で形成された多結晶シリコン薄膜2で覆われていることを特徴とする。

【0036】すなわち、各薄膜トランジスタは、パターニングされた多結晶シリコン薄膜2上にゲート絶縁膜3を介して形成されたゲート電極5と、さらにこのゲート電極5をマスクとした不純物拡散によって形成されたソース・ドレイン領域4と、これらソース・ドレイン領域4にコンタクトするように形成されたアルミニウム配線層8とを具備してなるものである。

【0037】次にこの薄膜トランジスタ装置の製造工程について図4(a)乃至図4(d)を参照しつつ説明する。

【0038】まず、図4(a)に示すようにガラス基板1表面に、基板温度を450℃としてLPCVD法により膜厚50nmのアモルファスシリコン膜を堆積した後、波長248nmパルス幅25nsのエキシマレーザを用いてエネルギー強度350mJ/cm²でレーザアニールを行い結晶化して多結晶シリコン薄膜2を得る。

【0039】続いてこの多結晶シリコン膜2上にフォトリソグラフィにより動作層となる領域のまわりに幅d=3μmの開口を有するマスクを形成し、このマスクを介して酸素イオンを注入する。ここで注入条件は5keVでドーズ量 $1 \times 10^{16} \text{cm}^{-2}$ とした(図4(b))。後は前記実施例1と同様である。

【0040】このようにして形成された多結晶シリコン薄膜トランジスタを測定評価したところその特性は、消費電力の増加に対しても隣接薄膜トランジスタ素子間で特性にばらつきが生じることなく、また特性劣化を生じることなく、均一で信頼性の高い薄膜トランジスタ装

置を得ることができた。

【0041】なお、多結晶シリコン薄膜を絶縁酸化するにあたり、重要な事項として多結晶化シリコンの膜厚に応じた不純物条件の設定がある。絶縁膜化するのに十分な不純物量を注入するのはもちろんのことであるが、多結晶シリコン膜が比較的厚い場合は多結晶シリコン膜の深さ方向すべてにわたって十分に不純物が注入されるように加速電圧を複数段に設定する必要がある。

【0042】なお前記実施例ではアモルファスシリコンのアニールを行い、多結晶シリコンを形成した後に不純物イオンを注入し、絶縁化を行うようにしたが、アモルファスシリコン薄膜の形成後、アニールに先立ち不純物イオンを注入し、絶縁化を行い、この後アニールを行うようにすれば、素子分離領域の絶縁膜の結晶性が向上し良質の絶縁膜を得ることができる。また素子分離のために用いられる不純物は酸素に限定されることなく、窒素あるいは酸素と窒素の混合体、酸素や窒素に限定されるものではなく、他の導電型の不純物領域とすることも可能である。

【0043】なお本発明の薄膜トランジスタ装置によれば、表面が平坦であり、アルミニウム配線層の段切れもなく、またさらなる上層配線のパターニングの高精度化が可能となる。

【0044】次に本発明の第3の実施例について説明する。

【0045】この例では、図5に示すように、2つの薄膜トランジスタTr1、Tr2で差動増幅器を構成するようにしたもので、2つの薄膜トランジスタの動作層の間に、動作層と同一層である多結晶シリコン薄膜からなる熱接続領域2Cを形成し、この熱接続領域2Cによって2つの薄膜トランジスタの熱的接続をはかり、特性の均一化をはかるようにしたものである。

【0046】かかる構成によれば、素子動作によって蓄熱していき基板上に温度勾配が生じていくような場合にも、この2つの薄膜トランジスタは熱的に接続されているため動作層の温度は等しく維持され、特性がずれて、差動増幅回路として正確に動作しなくなったりすることはない。

【0047】なお、このようなSOI構造の薄膜トランジスタを多数個配列し、これをスイッチングトランジスタとして用い、それぞれにキャパシタを配設したDRAMなどにおいて使用する場合にも有効である。

【0048】また、前記実施例では多結晶シリコンを用

いた薄膜トランジスタについて説明したが、単結晶シリコンを動作層とする薄膜トランジスタをはじめ、化合物半導体薄膜を用いた薄膜トランジスタ、あるいはシリコン基板表面に形成された絶縁膜上にゲルマニウムなどのシリコン以外の半導体膜からなる島領域を形成し、この上層にさらにガリウム砒素等の化合物半導体を用いた半導体レーザを含む半導体デバイスを形成する場合をはじめ、半導体レーザなど他のSOI構造の半導体デバイスにも適用可能である。

10 【0049】本発明の要旨を逸脱しない範囲内で、適宜変更可能である。

【0050】

【発明の効果】以上説明してきたように、本発明によれば、放熱性が高くかつ、動作層周辺に段差をもたず、信頼性の高い半導体装置を形成することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の薄膜トランジスタ装置を示す図。

【図2】同薄膜トランジスタ装置の製造工程図

20 【図3】本発明の第2の実施例の薄膜トランジスタ装置を示す図。

【図4】同薄膜トランジスタ装置の製造工程図

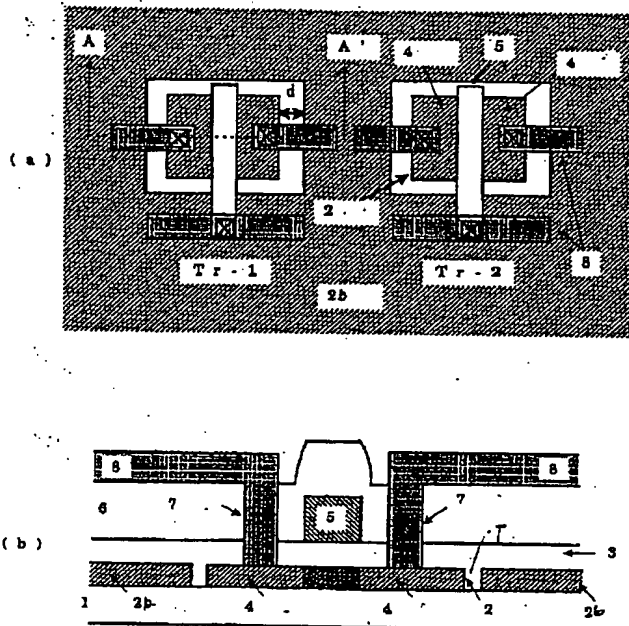
【図5】本発明実施例の薄膜トランジスタを示す図

【図6】従来例の薄膜トランジスタ装置を示す図の製造工程図

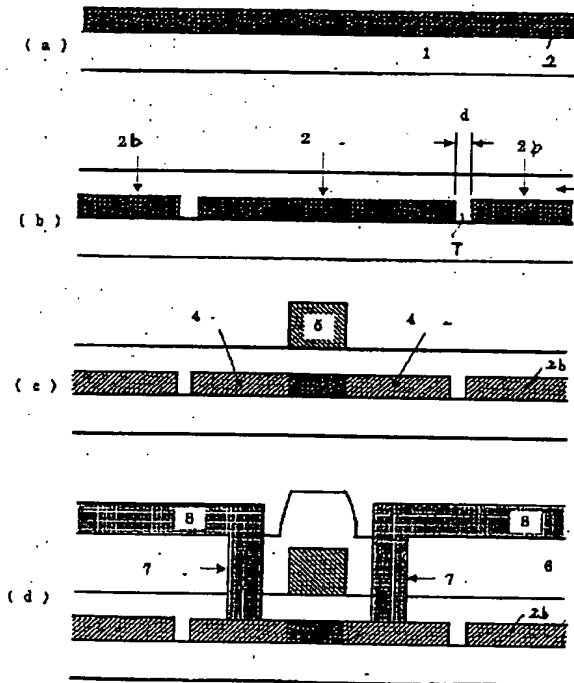
【符号の説明】

- 1 ガラス基板
- 2 多結晶シリコン膜
- 3 ゲート絶縁膜
- 30 4 ソース・ドレイン領域
- 5 タンタル薄膜（ゲート電極）
- 6 層間絶縁膜
- 7 開口
- 8 アルミニウム配線層
- 10 ガラス基板
- 20 多結晶シリコン膜
- 30 ゲート絶縁膜
- 40 ソース・ドレイン領域
- 50 タンタル薄膜（ゲート電極）
- 40 60 層間絶縁膜
- 70 開口
- 80 アルミニウム配線層

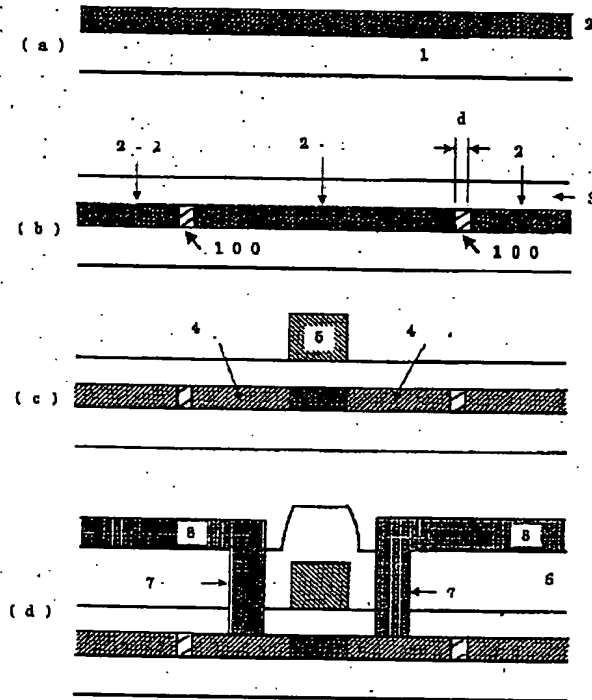
【図1】



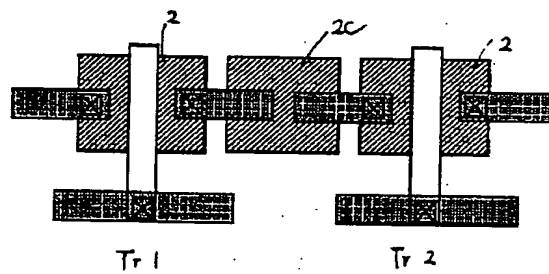
【図2】



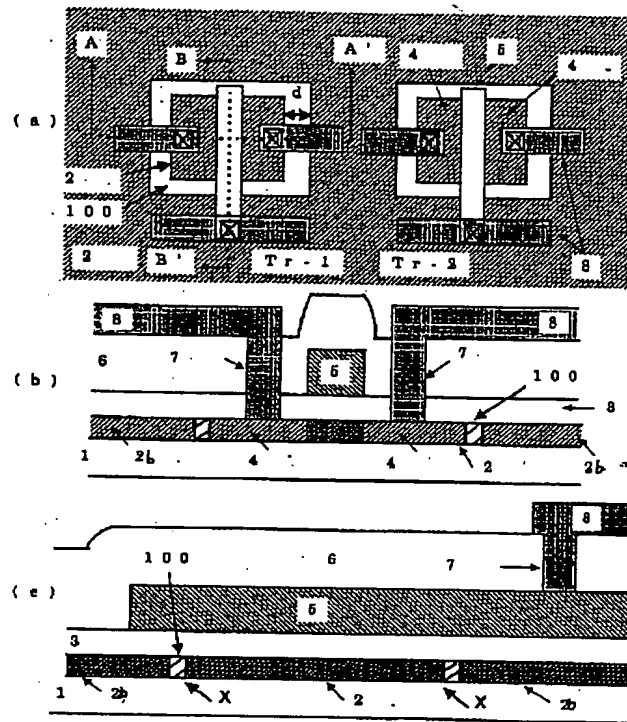
【図4】



【図5】



【図 3】



【図 6】

